

Bibliographic Fields

Document Identity

(19)【発行国】
日本国特許庁(JP)
(12)【公報種別】
公開特許公報(A)
(11)【公開番号】
特開2002-26123(P2002-26123A)
(43)【公開日】
平成14年1月25日(2002. 1. 25)

(19) [Publication Office]
Japan Patent Office (JP)
(12) [Kind of Document]
Unexamined Patent Publication (A)
(11) [Publication Number of Unexamined Application]
Japan Unexamined Patent Publication 2002 - 26123 (P2002 - 26123A)
(43) [Publication Date of Unexamined Application]
Heisei 14 year January 25 day (2002.1 . 25)

Public Availability

(43)【公開日】
平成14年1月25日(2002. 1. 25)

(43) [Publication Date of Unexamined Application]
Heisei 14 year January 25 day (2002.1 . 25)

Technical

(54)【発明の名称】
半導体装置およびその製造方法

(54) [Title of Invention]
**SEMICONDUCTOR DEVICE AND ITS
MANUFACTURING METHOD**

(51)【国際特許分類第7版】

(51) [International Patent Classification, 7th Edition]

H01L 21/768

H01L 21/768

21/3205

21/3205

【FI】

[FI]

H01L 21/90 A

H01L 21/90 A

21/88 K

21/88 K

J

J

【請求項の数】

[Number of Claims]

17

17

【出願形態】

[Form of Application]

OL

OL

【全頁数】

[Number of Pages in Document]

10

10

【テーマコード(参考)】

[Theme Code (For Reference)]

5F033

5 F033

【Fターム(参考)】

[F Term (For Reference)]

5F033 GG03 HH04 HH09 HH11 HH25 JJ04
JJ11 KK04 KK09 KK11 KK25 MM01 QQ00
QQ09 QQ11 QQ12 QQ13 QQ14 QQ19 QQ35

5 F033 GG03 HH04 HH09 HH11 HH25 JJ04 JJ11 KK04
KK09 KK11 KK25 MM01 QQ00 QQ09 QQ11 QQ12 QQ13
QQ14 QQ19 QQ35 QQ37 QQ48 QQ91 RR06 VV05 XX34

JP2002026123A

2002-1-25

QQ37 QQ48 QQ91 RR06 VV05 XX34

QQ14 QQ19 QQ35 QQ37 QQ48 QQ91 RR06 VV05 XX34

Filing

【審査請求】

[Request for Examination]

有

Possession

(21)【出願番号】

(21) [Application Number]

特願2000-203871 (P2000-203871)

Japan Patent Application 2000 - 203871 (P2000 - 203871)

(22)【出願日】

(22) [Application Date]

平成12年7月5日 (2000. 7. 5)

2000 July 5 days (2000.7 . 5)

Parties

Applicants

(71)【出願人】

(71) [Applicant]

【識別番号】

[Identification Number]

592212836

592212836

【氏名又は名称】

[Name]

須賀 唯知

SUGA YUI KNOWLEDGE

【住所又は居所】

[Address]

東京都目黒区駒場2-2-2-207

Tokyo Prefecture Meguro-ku Komaba 2 - 2 - 2 - 207

(71)【出願人】

(71) [Applicant]

【識別番号】

[Identification Number]

000005049

000005049

【氏名又は名称】

[Name]

シャープ株式会社

SHARP CORPORATION (DB 69-053-6925)

【住所又は居所】

[Address]

大阪府大阪市阿倍野区長池町22番22号

Osaka Prefecture Osaka City Abeno-ku Nagaike-cho 22-22

(71)【出願人】

(71) [Applicant]

【識別番号】

[Identification Number]

000000295

000000295

【氏名又は名称】

[Name]

沖電気工業株式会社

OKI ELECTRIC INDUSTRY CO. LTD. (DB 69-057-3522)

【住所又は居所】

[Address]

東京都港区虎ノ門1丁目7番12号

Tokyo Prefecture Minato-ku Toranomon 1-7-12

(71)【出願人】

(71) [Applicant]

【識別番号】

[Identification Number]

000001889

000001889

JP2002026123A

2002-1-25

【氏名又は名称】

三洋電機株式会社

【住所又は居所】

大阪府守口市京阪本通2丁目5番5号

(71)【出願人】

【識別番号】

000002185

【氏名又は名称】

ソニー株式会社

【住所又は居所】

東京都品川区北品川6丁目7番35号

(71)【出願人】

【識別番号】

000003078

【氏名又は名称】

株式会社東芝

【住所又は居所】

東京都港区芝浦一丁目1番1号

(71)【出願人】

【識別番号】

000004237

【氏名又は名称】

日本電気株式会社

【住所又は居所】

東京都港区芝五丁目7番1号

(71)【出願人】

【識別番号】

000005108

【氏名又は名称】

株式会社日立製作所

【住所又は居所】

東京都千代田区神田駿河台四丁目6番地

(71)【出願人】

【識別番号】

000005223

[Name]

SANYO ELECTRIC CO. LTD. (DB 69-053-7303)

[Address]

Osaka Prefecture Moriguchi City Keihan Hondori 2-5-5

(71) [Applicant]

[Identification Number]

000002185

[Name]

SONY CORPORATION (DB 69-055-3649)

[Address]

Tokyo Prefecture Shinagawa-ku Kitashinagawa 6-7-35

(71) [Applicant]

[Identification Number]

000003078

[Name]

TOSHIBA CORPORATION (DB 69-054-3517)

[Address]

Tokyo Prefecture Minato-ku Shibaura 1 - 1 - 1

(71) [Applicant]

[Identification Number]

000004237

[Name]

NEC CORPORATION (DB 69-054-1685)

[Address]

Tokyo Prefecture Minato-ku lawn 5 - 7 - 1

(71) [Applicant]

[Identification Number]

000005108

[Name]

HITACHI LTD. (DB 69-054-1503)

[Address]

Tokyo Prefecture Chiyoda-ku Kanda Surugadai 4-Chome 6

(71) [Applicant]

[Identification Number]

000005223

【氏名又は名称】

富士通株式会社

【住所又は居所】

神奈川県川崎市中原区上小田中4丁目1番1号

(71)【出願人】

【識別番号】

000005821

【氏名又は名称】

松下電器産業株式会社

【住所又は居所】

大阪府門真市大字門真1006番地

(71)【出願人】

【識別番号】

000006013

【氏名又は名称】

三菱電機株式会社

【住所又は居所】

東京都千代田区丸の内二丁目2番3号

(71)【出願人】

【識別番号】

000116024

【氏名又は名称】

ローム株式会社

【住所又は居所】

京都府京都市右京区西院溝崎町21番地

Inventors

(72)【発明者】

【氏名】

須賀 唯知

【住所又は居所】

東京都目黒区駒場2-2-2-207

Agents

(74)【代理人】

[Name]

FUJITSU LTD. (DB 69-053-5281)

[Address]

Kanagawa Prefecture Kawasaki City Nakahara-ku
Kamikodanaka 4-1-1

(71) [Applicant]

[Identification Number]

000005821

[Name]

MATSUSHITA ELECTRIC INDUSTRIAL CO. LTD.
(DB 69-053-6552)

[Address]

Osaka Prefecture Kadoma City Oaza Kadoma 100 6

(71) [Applicant]

[Identification Number]

000006013

[Name]

MITSUBISHI ELECTRIC CORPORATION (DB
69-054-3699)

[Address]

Tokyo Prefecture Chiyoda-ku Marunouchi 2-2-3

(71) [Applicant]

[Identification Number]

000116024

[Name]

ROHM CO. LTD. (DB 69-063-3433)

[Address]

Kyoto Prefecture Kyoto City Sakyo-ku Saiinmizosakicho 2 1

(72) [Inventor]

[Name]

Suga Yui knowledge

[Address]

Tokyo Prefecture Meguro-ku Komaba 2 - 2 - 2 - 207

(74) [Attorney(s) Representing All Applicants]

【識別番号】

100062144

【弁理士】

【氏名又は名称】

青山 稔 (外1名)

Abstract

(57)【要約】

【課題】

接合面を CMP 法で研磨して平坦化して、固相接合しても、導電体同士を確実に直接接合して、信頼性の高い電気接続ができる半導体装置およびその製造方法を提供すること。

【解決手段】

CMP 法による研磨によって、銅からなるスルーホール導電体 5 および接地配線層 10 は、窒化シリコンからなるスルーホール絶縁体 11 よりも硬度が低いため、皿状に窪んで低くなって、ディッシング部 17 が生じる。

反応性イオンエッチング法によって、スルーホール絶縁体 11 を、スルーホール導電体 5 のディッシング部 17 の底部 19 の高さになるまで、選択的にエッチングする。

スルーホール導電体 5,25 同士を整合して、接合面 12,22 同士を固相接合する。

[Identification Number]

100062144

[Patent Attorney]

[Name]

Aoyama Tamotsu (1 other)

(57) [Abstract]

[Problems to be Solved by the Invention]

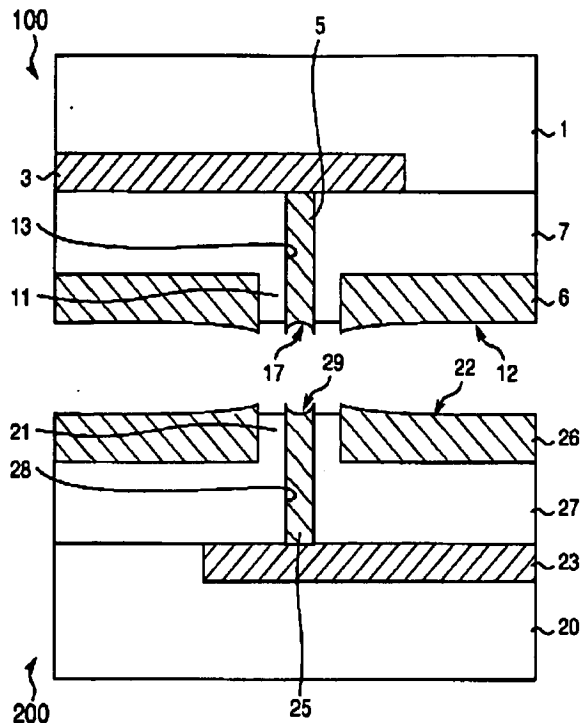
Grinding joint surface with CMP method, planarization doing, solid phase connecting, connecting conductor securely directly, offer semiconductor device and its manufacturing method which can do electrical connection where reliability is high.

[Means to Solve the Problems]

In grinding, as for via conductor electric body 5 which consists of the copper and ground metallization layer 10, because hardness is low in comparison with the through hole insulator 11 which consists of silicon nitride, becoming depressed in dish, becoming low, dishing section 17 occurs with CMP method .

Until with reactive ion etching method , through hole insulator 11, it becomes height of bottom 19 of dishing section 17 of via conductor electric body 5, selectively etching it does.

via conductor electric body adjusting 5 and 25, solid phase it connects the joint surface 12,22.



Claims

【特許請求の範囲】

【請求項 1】

第 1 基板と、その第 1 基板に積層された導電層および絶縁層とを有すると共に、導電領域と絶縁領域とが露出している化学的機械研磨された接合面を有する第 1 の部分と、

第 2 基板と、その第 2 基板に積層された導電層および絶縁層とを有すると共に、少なくとも導電領域が露出している化学的機械研磨された接合面を有する第 2 の部分とを備え、

上記第 1 の部分の接合面と第 2 の部分の接合面とが固相接合され、かつ、

上記第 1 の部分の接合面または第 2 の部分の接合面のうちの少なくとも一方において、上記絶縁領域が導電領域よりも低くなっていることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、上記導電領域のディッシング部同士が接合されている

[Claim(s)]

[Claim 1]

As it possesses conducting layer and insulating layer which are laminated to the first substrate and first substrate, chemomechanical polishing which conduction domain and insulating domain have exposed first portion which possesses joint surface which is done and,

As it possesses conducting layer and insulating layer which are laminated to the second substrate and second substrate, chemomechanical polishing which conduction domain has exposed at least second portion which possesses joint surface which is done having,

joint surface of above-mentioned first portion and joint surface of second portion to be connected solid phase, at same time,

In joint surface of above-mentioned first portion or at least one among joint surface of second portion, semiconductor device. which above-mentioned insulating domain has become low in comparison with conduction domain and densely makes feature

[Claim 2]

semiconductor device. to which dishing section of above-mentioned conduction domain is connected in

ることを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 に記載の半導体装置において、上記第 1 の部分の導電領域と第 2 の部分の導電領域とが固相接合され、かつ、上記第 1 の部分の絶縁領域と上記第 2 の部分の絶縁領域とが互いに隙間をあけて対向していることを特徴とする半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置において、上記第 1 の部分の上記導電領域を囲む絶縁領域と上記第 2 の部分の上記導電領域を囲む絶縁領域とが互いに隙間をあけて対向していることを特徴とする半導体装置。

【請求項 5】

請求項 1 または 2 に記載の半導体装置において、上記第 1 の部分の導電領域と第 2 の部分の導電領域とが固相接合され、かつ、上記第 1 の部分の絶縁領域と上記第 2 の部分の絶縁領域とが互いに接触あるいは固相接合していることを特徴とする半導体装置。

【請求項 6】

請求項 5 に記載の半導体装置において、上記第 1 の部分の上記導電領域を囲む絶縁領域と上記第 2 の部分の上記導電領域を囲む絶縁領域とが互いに接触あるいは固相接合していることを特徴とする半導体装置。

【請求項 7】

請求項 4 または 6 に記載の半導体装置において、上記導電領域はスルーホール導電体の端面であり、上記絶縁領域は上記スルーホール導電体を囲むスルーホール絶縁体の端面であることを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 つに記載の半導体装置において、上記第 1 基板または第 2 基板は、半導体基板、無機基板、有機基板のいずれ

semiconductor device which is stated in Claim 1 , densely makesfeature

[Claim 3]

semiconductor device. where conduction domain of above-mentioned first portion and conduction domain of second portion solid phase are connected in semiconductor device which is stated in Claim 1 or 2, at same time, insulating domain of above-mentioned first portion and insulating domain of above-mentioned second portion opening interstice mutually,are opposed and densely make feature

[Claim 4]

insulating domain which surrounds above-mentioned conduction domain of theabove-mentioned first portion in semiconductor device which is stated in Claim 3 , and insulating domain which surrounds above-mentioned conduction domain of theabove-mentioned second portion opening interstice mutually, semiconductor device. which is isopposed and densely makes feature

[Claim 5]

conduction domain of above-mentioned first portion and conduction domain of second portion the solid phase are connected in semiconductor device which is stated in Claim 1 or 2, at thesame time, semiconductor device. which insulating domain of above-mentioned first portion and insulating domain of above-mentioned second portion have connected contact or the solid phase mutually and densely make feature

[Claim 6]

semiconductor device. which insulating domain which surrounds above-mentioned conduction domain ofabove-mentioned first portion in semiconductor device which is stated in Claim 5 ,and insulating domain which surrounds above-mentioned conduction domain of theabove-mentioned second portion have connected contact or solid phase mutually anddensely make feature

[Claim 7]

As for above-mentioned conduction domain with endface of via conductor electricbody, as for above-mentioned insulating domain it is a endface of through hole insulator which surrounds above-mentioned via conductor electric body Claim 4 orin semiconductor device which is stated in 6, and semiconductor device. which densely is madefeature

[Claim 8]

Above-mentioned first substrate or second substrate, is any of semiconductor substrate、 inorganic group board and organic group board in semiconductor device which is stated in any

かであることを特徴とする半導体装置。

【請求項 9】

第 1 基板と、その第 1 基板に積層された導電層および絶縁層とを有する共に、導電領域と絶縁領域とが露出している化学的機械研磨された接合面を有する第 1 の部分を形成する工程と、

第 2 基板と、その第 2 基板に積層された導電層および絶縁層とを有すると共に、少なくとも導電領域が露出している化学的機械研磨された接合面を有する第 2 の部分を形成する工程と、

上記第 1 の部分の接合面と第 2 の部分の接合面とのうちの少なくとも一方の絶縁領域を選択的にエッチングして、上記絶縁領域の表面を導電領域の表面よりも下降させる工程と、

上記第 1 の部分と第 2 の部分とに圧接荷重を印可して、上記第 1 の部分の接合面と第 2 の部分の接合面とを固相接合すると共に、上記第 1 の部分の導電領域と第 2 の部分の導電領域とを電気的に接続する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 9 に記載の半導体装置の製造方法において、上記絶縁領域の表面を反応性イオンエッチングにより下降させることを特徴とする半導体装置の製造方法。

【請求項 11】

請求項 9 または 10 に記載の半導体装置の製造方法において、上記導電領域のディッシング部の底の高さと絶縁領域の高さとが略等しくなるようにエッチングを行うことを特徴とする半導体装置の製造方法。

【請求項 12】

請求項 9 乃至 11 のいずれか 1 つに記載の半導体装置の製造方法において、上記第 1 の部分の導電領域と第 2 の部分の導電領域とを固相接合すると共に、上記第 1 の部分の絶縁領域と上記第 2 の部分の絶縁領域とを互いに隙間をあけて対向させることを特徴とする半導体装置

one of Claim 1 to 7, and semiconductor device. which densely is made feature

[Claim 9]

It possesses conducting layer and insulating layer which are laminated to first substrate and first substrate together, chemomechanical polishing which conduction domain and insulating domain have exposed step. which forms first portion which possesses joint surface which is done

As it possesses conducting layer and insulating layer which are laminated to the second substrate and second substrate, chemomechanical polishing which conduction domain has exposed at least step. which forms second portion which possesses joint surface which is done

selectively etching doing insulating domain of at least one inside joint surface of the above-mentioned first portion and joint surface of second portion, step. which falls surface of above-mentioned insulating domain in comparison with the surface of conduction domain

In above-mentioned first portion and second portion impression doing the pressure load, as solid phase it connects joint surface of the above-mentioned first portion and joint surface of second portion, manufacturing method. of the semiconductor device which has conduction domain of above-mentioned first portion and the step which connects conduction domain of second portion to electrical densely makes feature

[Claim 10]

It falls in manufacturing method of semiconductor device which is stated in Claim 9, the surface of above-mentioned insulating domain due to reactive ion etching manufacturing method. of the semiconductor device which densely is made feature

[Claim 11]

In order height of bottom of dishing section of the above-mentioned conduction domain and height of insulating domain to become abbreviation equal in manufacturing method of semiconductor device which is stated in the Claim 9 or 10, manufacturing method. of semiconductor device which does etching and densely makes feature

[Claim 12]

As conduction domain of above-mentioned first portion and conduction domain of second portion solid phase are connected in manufacturing method of semiconductor device which is stated in any one of Claims 9 through 11, insulating domain of above-mentioned first portion and the insulating domain of above-mentioned second portion opening interstice

の製造方法。

【請求項 13】

請求項 12 に記載の半導体装置において、上記第 1 の部分の上記導電領域を囲む絶縁領域と上記第 2 の部分の上記導電領域を囲む絶縁領域とを互いに隙間をあけて対向させることを特徴とする半導体装置の製造方法。

【請求項 14】

請求項 9 乃至 11 のいずれか 1 つに記載の半導体装置の製造方法において、上記第 1 の部分の導電領域と第 2 の部分の導電領域とを固相接合すると共に、上記第 1 の部分の絶縁領域と上記第 2 の部分の絶縁領域とを互いに接触あるいは固相接合することを特徴とする半導体装置の製造方法。

【請求項 15】

請求項 14 に記載の半導体装置の製造方法において、上記第 1 の部分の上記導電領域を囲む絶縁領域と上記第 2 の部分の上記導電領域を囲む絶縁領域とを互いに接触あるいは固相接合することを特徴とする半導体装置の製造方法。

【請求項 16】

請求項 13 または 15 に記載の半導体装置の製造方法において、上記導電領域はスルーホール導電体の端面であり、上記絶縁領域は上記スルーホール導電体を囲むスルーホール絶縁体の端面であることを特徴とする半導体装置の製造方法。

【請求項 17】

請求項 9 乃至 16 のいずれか 1 つに記載の半導体装置の製造方法において、上記第 1 基板または第 2 基板は、半導体基板、無機基板、有機基板のいずれかであることを特徴とする半導体装置の製造方法。

Specification

【発明の詳細な説明】

mutually, it opposes manufacturing method. of semiconductor device which densely is made feature

[Claim 13]

insulating domain which surrounds above-mentioned conduction domain of the above-mentioned first portion in semiconductor device which is stated in Claim 12, and insulating domain which surrounds above-mentioned conduction domain of the above-mentioned second portion opening interstice mutually, it opposes manufacturing method. of semiconductor device which densely is made feature

[Claim 14]

As conduction domain of above-mentioned first portion and conduction domain of second portion solid phase are connected in manufacturing method of semiconductor device which is stated in any one of Claims 9 through 11, insulating domain of above-mentioned first portion and the insulating domain of above-mentioned second portion are connected contact or solid phase mutually manufacturing method. of semiconductor device which densely is made feature

[Claim 15]

insulating domain which surrounds above-mentioned conduction domain of the above-mentioned first portion in manufacturing method of semiconductor device which is stated in the Claim 14, and insulating domain which surrounds above-mentioned conduction domain of the above-mentioned second portion are connected contact or solid phase mutually the manufacturing method. of semiconductor device which densely is made feature

[Claim 16]

As for above-mentioned conduction domain with endface of via conductor electric body, as for above-mentioned insulating domain it is a endface of through hole insulator which surrounds above-mentioned via conductor electric body Claim 13 or in manufacturing method of semiconductor device which is stated in 15, and manufacturing method. of the semiconductor device which densely is made feature

[Claim 17]

Above-mentioned first substrate or second substrate, is any of semiconductor substrate, inorganic group board and organic group board in manufacturing method of semiconductor device which is stated in any one of Claim 9 to 16, and manufacturing method. of semiconductor device which densely is made feature

[Description of the Invention]

【0001】

【発明の属する技術分野】

この発明は、複数の基板を有する半導体装置およびその製造方法に関する。

【0002】

【背景技術】

最近、本発明者は、この種の半導体装置として、第1半導体基板に導電層および絶縁層を積層すると共に、表面を化学的機械研磨 (Chemical Mechanical Polishing: 以下、CMP と略称する。) して、絶縁層である窒化シリコン膜と、その窒化シリコン膜のスルーホールを埋めるスルーホール導電体である銅とが露出している平坦な第1接合面を形成する一方、第2半導体基板に導電層および絶縁層を積層すると共に、表面を CMP して、窒化シリコン膜とスルーホール導電体である銅とが露出している平坦な第2接合面を形成し、さらに、上記第1半導体基板と第2半導体基板とに圧接荷重を印可して第1接合面と第2接合面とを固相接合 (Solid State Bonding) すると共に、スルーホール導電体同士を電気的に接続したものを提案した。

なお、この半導体装置は、本発明を説明する便宜上説明するもので、未だ、公知になっていない、従来技術ではない。

【0003】

この半導体装置は、第1、第2基板上に導電層を設けているから、電磁放射ノイズを簡単に防止でき、また、スルーホール導電体同士を固相接合しているから、配線が短く、かつ、容易になると言う利点を有する。

【0004】

【発明が解決しようとする課題】

しかしながら、上記半導体装置では、上記絶縁層である窒化シリコン膜よりも、その窒化シリコン膜のスルーホール内に設けた銅製のスルーホール導電体の硬度が低いため、第1接合面と第2接合面とをCMPすると、スルーホール導電体の表面にディッシング (Dishing: 皿形にへこむこと) が生じて、スルーホール導電体同士を直接接合できない恐れがある。

【0001】

[Technological Field of Invention]

This invention regards semiconductor device and its manufacturing method which possess substrate of plural.

【0002】

[Prior Art]

Recently, this inventor as conducting layer and insulating layer are laminated in the first semiconductor substrate as semiconductor device of this kind, chemomechanical polishing doing surface, although (Below Chemical Mechanical Polishing: , CMP it abbreviates.), it forms planar first joint surface which copper which is a via conductor electric body which buries through hole of silicon nitride membrane and that silicon nitride membranewhich are a insulating layer has exposed As conducting layer and insulating layer are laminated in second semiconductor substrate, CMP doing surface, with (Solid State bonding) where it forms planar second joint surface which copper which is a silicon nitride membrane and a via conductor electric body has exposed, furthermore, in above-mentioned first semiconductor substrate and second semiconductor substrate impression does pressure load and solid phase it connects first joint surface and second joint surface , Those which connect via conductor electric body to electrical were proposed.

Furthermore, this semiconductor device, for convenience which explains this invention being something which is explained, yet, not having become public knowledge, it is not a Prior Art.

【0003】

Because this semiconductor device has provided conducting layer on first, second substrate, be able to prevent electromagnetic radiation noise simply, in addition, because via conductor electric body solid phase is connected, it possesses benefit that metallization becomes short, at same time, easy.

【0004】

[Problems to be Solved by the Invention]

But, with above-mentioned semiconductor device, because hardness of via conductor electric body of copper which is provided inside through hole of that silicon nitride membrane in comparison with silicon nitride membrane which is an above-mentioned insulating layer, is low, when first joint surface and second joint surface CMP are done, dishing (Be dented in Dishing: dish shape) occurring in surface of via conductor electric body, there is a possibility where it cannot connect via conductor electric body directly.

すなわち、スルーホール導電体同士の電氣的な接続に信頼性がない。

【0005】

そこで、この発明の課題は、接合面を CMP して、固相接合しても、導電体同士を確実に直接接合して、信頼性の高い電気接続ができる半導体装置およびその製造方法を提供することにある。

【0006】

【課題を解決するための手段】

上記課題を解決するため、この発明の半導体装置は、第 1 基板と、その第 1 基板に積層された導電層および絶縁層とを有すると共に、導電領域と絶縁領域とが露出している CMP された接合面を有する第 1 の部分と、第 2 基板と、その第 2 基板に積層された導電層および絶縁層とを有すると共に、少なくとも導電領域が露出している CMP された接合面を有する第 2 の部分とを備え、上記第 1 の部分の接合面と第 2 の部分の接合面とが固相接合され、かつ、上記第 1 の部分の接合面または第 2 の部分の接合面のうちの少なくとも一方において、上記絶縁領域が導電領域よりも低くなっていることを特徴としている。

【0007】

上記構成の半導体装置においては、第 1 および第 2 の部分の接合面が CMP されているため、絶縁領域に隣り合う導電領域にディッシング部が生じている。

しかし、上記第 1 の部分の接合面または第 2 の部分の接合面のうちの少なくとも一方において、上記絶縁領域が導電領域よりも低くなっている、導電領域が突出しているから、ディッシング部があっても、上記導電領域同士は確実に直接接合されている。

したがって、導電領域同士の信頼性の高い電気接続が得られる。

【0008】

1 実施の形態では、上記導電領域のディッシング部同士が接合されている。

【0009】

1 実施の形態では、上記第 1 の部分の導電領域と第 2 の部分の導電領域とが固相接合され、かつ、上記第 1 の部分の絶縁領域と上記第 2 の部

There is not a reliability in electrical connection of namely, via conductor electric body.

【0005】

Then, as for problem of this invention, CMP doing joint surface, solid phase connecting, connecting conductor securely directly, it is too offer semiconductor device and its manufacturing method which can do electrical connection where reliability is high.

【0006】

[Means to Solve the Problems]

In order to solve above-mentioned problem, as for semiconductor device of this invention, as it possesses conducting layer and insulating layer which are laminated to first substrate and first substrate, as CMP which conduction domain and insulating domain have exposed it possesses conducting layer and insulating layer which are laminated to first portion and second substrate and second substrate which possess joint surface which is done, At least, CMP which conduction domain has exposed it has second portion which possesses joint surface which is done, above-mentioned insulating domain have become low in comparison with conduction domain joint surface of the above-mentioned first portion and joint surface of second portion are connected, the solid phase at same time, in joint surface of above-mentioned first portion or at least one among joint surface of second portion, densely it has made feature.

【0007】

Regarding semiconductor device of above-mentioned constitution, because joint surface of portion of first and second CMP it is done, dishing section occurs in conduction domain which is adjacent to insulating domain.

But, above-mentioned insulating domain having become low in comparison with conduction domain, because conduction domain has done overhang, there being a dishing section in joint surface of above-mentioned first portion or at least one among joint surface of second portion, above-mentioned conduction domain is directly connected securely.

Therefore, electrical connection where reliability of conduction domain is high is acquired.

【0008】

With 1 embodiment, dishing section of above-mentioned conduction domain is connected.

【0009】

With 1 embodiment, conduction domain of above-mentioned first portion and conduction domain of second portion are connected, are opposed solid phase at same time, the

分の絶縁領域とが互いに隙間をあけて対向している。

【0010】

1 実施の形態では、上記第 1 の部分の上記導電領域を囲む絶縁領域と上記第 2 の部分の上記導電領域を囲む絶縁領域とが互いに隙間をあけて対向している。

【0011】

1 実施の形態では、上記第 1 の部分の導電領域と第 2 の部分の導電領域とが固相接合され、かつ、上記第 1 の部分の絶縁領域と上記第 2 の部分の絶縁領域とが互いに接触あるいは固相接合している。

【0012】

1 実施の形態では、上記第 1 の部分の上記導電領域を囲む絶縁領域と上記第 2 の部分の上記導電領域を囲む絶縁領域とが互いに接触あるいは固相接合している。

【0013】

1 実施の形態では、上記導電領域はスルーホール導電体の端面であり、上記絶縁領域は上記スルーホール導電体を囲むスルーホール絶縁体の端面である。

【0014】

1 実施の形態では、上記第 1 基板または第 2 基板は、半導体基板、無機基板、有機基板のいずれかである。

【0015】

この発明の半導体装置の製造方法は、第 1 基板と、その第 1 基板に積層された導電層および絶縁層とを有する共に、導電領域と絶縁領域とが露出している CMP された接合面を有する第 1 の部分を形成する工程と、第 2 基板と、その第 2 基板に積層された導電層および絶縁層とを有すると共に、少なくとも導電領域が露出している CMP された接合面を有する第 2 の部分を形成する工程と、上記第 1 の部分の接合面と第 2 の部分の接合面とのうちの少なくとも一方の絶縁領域を選択的にエッチングして、上記絶縁領域の表面を導電領域の表面よりも下降させる工程と、上記第 1 の部分と第 2 の部分とに圧接荷重

insulating domain of above-mentioned first portion and insulating domain of theabove-mentioned second portion opening interstice mutually.

【0010】

With 1 embodiment, insulating domain which surrounds above-mentioned conduction domain ofabove-mentioned first portion and insulating domain which surrounds theabove-mentioned conduction domain of above-mentioned second portion opening interstice mutually, it is opposed.

【0011】

With 1 embodiment, conduction domain of above-mentioned first portion and conduction domain of second portion are connected solid phase, at same time, insulating domain of theabove-mentioned first portion and insulating domain of above-mentioned second portion haveconnected contact or solid phase mutually.

【0012】

With 1 embodiment, insulating domain which surrounds above-mentioned conduction domain ofabove-mentioned first portion and insulating domain which surrounds theabove-mentioned conduction domain of above-mentioned second portion have connectedcontact or solid phase mutually.

【0013】

With 1 embodiment, as for above-mentioned conduction domain with endface of the via conductor electric body, as for above-mentioned insulating domain it is a endface of through hole insulator which surrounds above-mentioned via conductor electric body.

【0014】

With 1 embodiment, as for above-mentioned first substrate or second substrate, it is a any of semiconductor substrate, inorganic group board and organic group board.

【0015】

manufacturing method of semiconductor device of this invention has conducting layer and insulating layer which are laminated to first substrate and first substrate, as together, CMP which conduction domain and insulating domain have exposed have conducting layer and the insulating layer which are laminated to step. second substrate and second substrate which form the first portion which possesses joint surface which is done, At least, CMP which conduction domain has exposed selectively etching doing the insulating domain of at least one inside joint surface of step. above-mentioned first portion which forms second portion which possesses joint surface which is done and the joint surface of second portion, in step. above-mentioned first portion and second portion

を印可して、上記第 1 の部分の接合面と第 2 の部分の接合面とを固相接合すると共に、上記第 1 の部分の導電領域と第 2 の部分の導電領域とを電氣的に接続する工程とを備えることを特徴としている。

【0016】

上記構成の半導体装置の製造方法においては、第 1 および第 2 の部分の接合面を CMP するから、絶縁領域に隣り合う導電領域にディッシング部が生じている。

しかし、上記第 1 の部分の接合面または第 2 の部分の接合面のうちの少なくとも一方において、絶縁領域を選択的にエッチングして、上記絶縁領域の表面が導電領域の表面よりも低くなって、導電領域の表面が絶縁領域の表面から突出しているから、導電領域にディッシング部があっても、上記導電領域同士は確実に直接接合される。

したがって、上記導電領域同士の信頼性の高い電気接続が得られる。

【0017】

1 実施の形態では、上記絶縁領域の表面を反応性イオンエッチングにより下降させる。

【0018】

1 実施の形態では、上記導電領域のディッシング部の底の高さと絶縁領域の高さとが略等しくなるようにエッチングを行う。

【0019】

【発明の実施の形態】

以下、この発明を図示の実施の形態により詳細に説明する。

【0020】

図 1,2,3 および 4 は、第 1 実施の形態の半導体装置の製造方法を示す。

まず、図 1(A)に示すように、第 1 基板の一例としての半導体基板 1 上に、導電層の一例としての配線層 3 を設け、さらに、図 1(B)に示すように、この半導体基板 1 と配線層 3 の上に、絶縁層 7 を積層している。

上記配線層 3 は、例えば、銅、アルミニウム合金等の金属、不純物をドーピングしたポリシリコ

which fall surface of above-mentioned insulating domain in comparison with surface of conduction domain impression doing pressure load, As joint surface of above-mentioned first portion and joint surface of second portion solid phase are connected, it has conduction domain of above-mentioned first portion and step which connects conduction domain of second portion to electrical, densely it has made feature.

【0016】

Regarding manufacturing method of semiconductor device of above-mentioned constitution, because joint surface of portion of first and second CMP is done, the dishing section occurs in conduction domain which is adjacent to insulating domain.

But, selectively etching doing insulating domain in joint surface of above-mentioned first portion or at least one among joint surface of second portion, surface of the above-mentioned insulating domain becoming low in comparison with surface of the conduction domain, because surface of conduction domain overhang has done from the surface of insulating domain, there being a dishing section in conduction domain, Above-mentioned conduction domain is connected securely directly.

Therefore, electrical connection where reliability of above-mentioned conduction domain is high is acquired.

【0017】

With 1 embodiment, it falls surface of above-mentioned insulating domain due to reactive ion etching.

【0018】

With 1 embodiment, in order height of bottom of dishing section of above-mentioned conduction domain and height of insulating domain to become abbreviation equal, etching is done.

【0019】

[Embodiment of the Invention]

Below, this invention is explained in detail with embodiment in illustration.

【0020】

Figure 1, 2, 3 and 4 shows manufacturing method of semiconductor device of first embodiment.

First, as shown in Figure 1 (A), on semiconductor substrate 1 as one example of the first substrate, metallization layer 3 as one example of conducting layer is provided, as furthermore, shown in Figure 1 (B), in this semiconductor substrate 1 and on metallization layer 3, insulating layer 7 is laminated.

Above-mentioned metallization layer 3 consists of polysilicon, polycide etc which for example copper,

ン、シリサイド等からなり、上記絶縁層 7 は、例えば、窒化シリコンからなる。

【0021】

次に、上記絶縁層 7 に、フォトリソグラフィとドライエッチングの技術を用いて、図 1(C)に示すように、配線層 3 に到達するスルーホール 13 を形成すると共に、接地配線溝 8 を形成する。

上記絶縁層 7 のうち、スルーホール 13 と接地配線溝 8 との間に残された部分は、スルーホール 13 の壁面を形成するスルーホール絶縁体 11 となる。

【0022】

次に、図 1(D)に示すように、上記絶縁層 7 の上に、その絶縁層 7 全体を覆って、スルーホール 13 および接地配線溝 8 を全て満たすように、例えば、銅からなる導電層 9 を形成する。

【0023】

次に、上記導電層 9 を、図 1(E)に示すように、スルーホール絶縁体 11 が露出するまで、CMP 法によって研磨して平坦化する。

このように、CMP 法によってスルーホール絶縁体 11 が露出するまで導電層 9 を研磨することにより、導電層 9 は、スルーホール 13 を埋める銅からなるスルーホール導電体 5 と、接地配線溝 8 を埋める接地配線層 6 とに分離される。

上記スルーホール導電体 5 とスルーホール絶縁体 11 と接地配線層 6 との表面は、大略同一高さの接合面 12 を形成する。

但し、銅からなる上記スルーホール導電体 5 および接地配線層 6 は、窒化シリコンからなるスルーホール絶縁体 11 よりも硬度が低いため、CMP によって、図 1(E)および図 2(A)に示すように、スルーホール導電体 5 および接地配線層 6 の表面がスルーホール絶縁体 11 の表面よりも皿状に窪んで低くなる。

すなわち、上記スルーホール導電体 5 の表面に皿状に窪んだディッシング部 17 が生じる。

【0024】

次に、図 2(B), (C)に示すように、反応性イオンエッチング(Reactive Ion Etching)法によって、スル

uminum alloy or other metal、impurity doping is done, above-mentioned insulating layer 7 consists of for example silicon nitride.

[0021]

As next, in above-mentioned insulating layer 7, shown in Figure 1 (C) making use of technology of photolithography and dry etching, as through hole 13 which arrives in metallization layer 3 is formed, ground metallization slot 8 is formed.

Among above-mentioned insulating layer 7, through hole 13 and portion which is left between ground metallization slot 8 become through hole insulator 11 which forms wall surface of through hole 13.

[0022]

As next, shown in Figure 1 (D), on above-mentioned insulating layer 7, being covered insulating layer 7 entirely, in order all to fill up through hole 13 and the ground metallization slot 8, it forms conducting layer 9 which consists of for example copper.

[0023]

As next, shown above-mentioned conducting layer 9, in Figure 1 (E), until the through hole insulator 11 exposes, grinding with CMP method, planarization it does.

This way, until through hole insulator 11 exposes with CMP method, conducting layer 9 via conductor electric body is separated with into ground metallization layer 6 which buries 5 which consists of copper which buries through hole 13 and ground metallization slot 8 by grinding conducting layer 9.

Above-mentioned via conductor electric body surface of 5 and through hole insulator 11 and ground metallization layer 6 forms joint surface 12 of large almost same height.

However, as for above-mentioned via conductor electric body 5 which consists of copper and ground metallization layer 6, because hardness is low in comparison with through hole insulator 11 which consists of silicon nitride, as with the CMP, Figure 1 (E) and shown in Figure 2 (A), via conductor electric body the surface of 5 and ground metallization layer 6 becoming depressed in dish in comparison with surface of through hole insulator 11, it becomes low.

dishing section 17 which in surface of namely, above-mentioned via conductor electric body 5 becomes depressed in dish occurs.

[0024]

As next, Figure 2 (B), shown in (C), until with reactive ion etching (Reactive Ion Etching) method, height of through hole

ーホール絶縁体 11 の高さが、スルーホール導電部 5 のディッシング部 17 の底部 19 の高さになるまで、スルーホール絶縁体 11 を選択的にエッチングする。

この反応性イオンエッチングは、選択性があり、かつ、異方性があるため、スルーホール絶縁体 11 を微細加工して、スルーホール絶縁体 11 の高さをディッシング部 17 の底部 19 の高さに略等しくすることができる。

なお、全体的にみると、上記スルーホール導電部 5 の表面の高さよりもスルーホール絶縁体 11 の表面の高さが低くなっている。

すなわち、上記スルーホール導電部 5 がスルーホール絶縁体 11 の表面から突出している。

【0025】

こうして、図 3 に示すように、上記半導体基板 1 と配線層 3 と絶縁層 7 とスルーホール絶縁体 11 とスルーホール導電部 5 と接地配線層 6 からなる第 1 の部分 100 を形成する。

なお、この第 1 の部分 100 には、図示していないが、トランジスタ、キャパシタ等の半導体素子を造り込んでいる。

【0026】

上記第 1 の部分 100 の製造工程と全く同様の工程をおこなって、図 3 に示す第 2 の部分 200 を形成する。

この第 2 の部分 200 は、第 2 基板としての半導体基板 20 と、導電層としての配線層 23 と、絶縁層 27 と、導電層としての接地配線層 26 と、スルーホール絶縁体 21 と、スルーホール導電部 25 とからなる。

この第 2 の部分 200 の接合面 22 は CMP 法によって研磨して平坦化しているため、導電領域であるスルーホール導電部 25 および接地配線層 26 にはディッシング部が形成されている。

しかし、上記スルーホール導電部 25 のディッシング部 27 の底部とスルーホール絶縁体 21 の高さが略同じになるように、スルーホール絶縁体 21 を、反応性イオンエッチングによって、選択的にエッチングしている。

なお、23 はスルーホールである。

【0027】

上記第 2 の部分 200 には、図示していないが、第 1 の部分と同様に、トランジスタ、キャパシタ

insulator 11, becomes height of bottom 19 of dishing section 17 of via conductor electric section 5, through hole insulator 11 selectively etching is done.

Because this reactive ion etching is a selectivity, at same time, is an anisotropy, through hole insulator 11 microfabrication doing, abbreviation equal it can make height of through hole insulator 11 to height of bottom 19 of dishing section 17.

Furthermore, when you see in entire, height of surface of the through hole insulator 11 has become low in comparison with height of surface of above-mentioned via conductor electric body 5.

namely, above-mentioned via conductor electric body 5 overhang has done from surface of through hole insulator 11.

[0025]

In this way, as shown in Figure 3, of above-mentioned semiconductor substrate 1 and metallization layer 3 and insulating layer 7 and through hole insulator 11 and via conductor electric body the first portion 100 which consists 5 and ground metallization layer 6 is formed.

Furthermore, it has not illustrated in this first portion 100 . It makes transistor, capacitor or other semiconductor element and has been packed.

[0026]

Doing step which is completely similar to production step of the above-mentioned first portion 100, it forms second portion 200 which it shows in Figure 3.

This second portion 200, consists of ground metallization layer 26 and through hole insulator 21 and via conductor electric body as metallization layer 23 and insulating layer 27 and conducting layer as semiconductor substrate 20 and the conducting layer as second substrate 25.

As for joint surface 22 of this second portion 200 grinding with CMP method , because the planarization it has done, via conductor electric body dishing section is formed to 25 which is a conduction domain and ground metallization layer 26 .

But, in order for bottom of dishing section 27 of above-mentioned via conductor electric body 25 and height of through hole insulator 21 almost to become same, through hole insulator 21 is done, with reactive ion etching , selectively etching.

Furthermore, 23 is through hole.

[0027]

It has not illustrated in above-mentioned second portion 200 . In same way as first portion, it makes transistor, capacitor or

等の半導体素子を造り込んでいる。

[0028]

次に、上記第 1 の部分 100 と第 2 の部分 200 の接合面 12,22 を真空中で清浄化処理して清浄表面にする。

すなわち、上記接合面 12,22 を活性化する。

その後、真空または不活性ガスの雰囲気において、上記第 1 の部分 100 の接合面 12 と第 2 の部分 200 の接合面 22 とを、スルーホール導電体 5,25 同士が整合し、かつ、接地配線層 6,26 同士が整合するように、対向させる。

そして、図 4 に示すように、上記第 1 の部分 100 の半導体基板 1 と第 2 の部分 200 の半導体基板 20 に圧接荷重 F,F を印加して、スルーホール導電体 5,25 同士を固相接合すなわち常温接合 (Room Temperature Bonding) すると共に、接地配線層 6,26 同士を固相接合する。

そうすると、上記スルーホール導電体 5,25 のデイスティング部 17,27 の底部の高さと、スルーホール絶縁体 11,21 の高さが略同じになっていて、全体的には、スルーホール導電体 5,25 および接地配線層 6,26 がスルーホール絶縁体 11,21 の表面に対して凸になっているから、スルーホール導電体 5 と接地配線層 6 とが夫々スルーホール導電体 25 と接地配線層 26 とに確実に固相接合される。

したがって、スルーホール導電体 5,25 同士の電気接続および接地配線層 6,26 同士の電気接続の信頼性を高くすることができる。

[0029]

上記固相接合すなわち表面活性化接合 (Surface Activated Bonding) されたスルーホール導電体 5,25 の周りに、かつ、スルーホール絶縁体 11,21 の間に隙間 30 が生じている。

このように、上記スルーホール絶縁体 11,21 の間に隙間 30 をあけることによって、スルーホール導電体 5,25 同士および接地配線層 6,26 同士をより確実に固相接合して、より確実に機械的、電氣的に接合できる。

もっとも、この隙間 30 が生じないで、スルーホール絶縁体 11,21 同士が軽く接触あるいは固相接合するようにしてもよい。

このように、上記スルーホール絶縁体 11,21 同士を固相接合すると、第 1 の部分 100 と第 2 の

other semiconductor element and has been packed.

[0028]

Next, cleaning doing above-mentioned first portion 100 and joint surface 12,22 of the second portion 200 in vacuum, it makes cleaning surface.

namely, above-mentioned joint surface 12,22 is activated.

After that, via conductor electric body 5 and 25 adjusts joint surface 12 of the above-mentioned first portion 100 and joint surface 22 of second portion 200, in atmosphere of the vacuum or inert gas, at same time, in order for ground metallization layer 6,26 to adjust, opposes.

As and, shown in Figure 4, imparting doing pressure load F,F in the semiconductor substrate 1 of above-mentioned first portion 100 and semiconductor substrate 20 of second portion 200, via conductor electric body 5 and 25 solid phase connecting namely ambient temperature with (Room temperature bonding) which is connected, solid phase it connects ground metallization layer 6,26.

So when it does, above-mentioned via conductor electric body dishing section the height of bottom of 17 of 5 and 25 and 27 and height of through hole insulator 11,21 having become almost same, because in entire, via conductor electric body 5, 25 and ground metallization layer 6,26 it has become convex vis-a-vis surface of the through hole insulator 11,21, via conductor electric body 5 and ground metallization layer 6 is connected in respectively via conductor electric body 25 and ground metallization layer 26 solid phase securely.

Therefore, via conductor electric body can make electrical connection of 5 and 25 and the reliability of electrical connection of ground metallization layer 6,26 high.

[0029]

via conductor electric body in surroundings of 5 above-mentioned solid phase connecting namely surface activation it is connected (Surface Activated Bonding) and 25, at the same time, interstice 30 occurs between through hole insulator 11,21.

This way, by fact that interstice 30 is opened between the above-mentioned through hole insulator 11,21, compared to solid phase connecting via conductor electric body 5 and 25 and ground metallization layer 6,26 securely, compared to it can connect to mechanical, electrical securely.

Though, this interstice 30 without occurring, it is possible through hole insulator 11,21 to be light contact or solid phase to connect.

This way, when above-mentioned through hole insulator 11,21 solid phase is connected, connecting with first portion

部分 200 との接合がより強固になる。

【0030】

上記実施の形態では、第 1 の部分 100 の接合面 12 と第 2 の部分 200 の接合面 22 との両方において、スルーホール絶縁体 11,21 の表面がスルーホール導電体 5,25 の表面よりも低くなるようにしているが、一方の接合面のみにおいて、スルーホール絶縁体をスルーホール導電体の表面よりも相当に低くするようにエッチングを行い、他方の接合面においては、スルーホール絶縁体の高さ調節のためのエッチングを行わないで、スルーホール導電体のディッシング部の表面全体がスルーホール絶縁体表面よりも低くてもよい。

こうしても、一方のスルーホール絶縁体のエッチング量を大きくすることによって、ディッシング部があっても、スルーホール導電体同士を確実に電気接続できる。

【0031】

図 5,6,7 および 8 は、第 2 の実施の形態の半導体装置の製造方法を説明する図である。

図 7、8 から分かるように、第 1 の部分 100 は第 1 の実施の形態の第 1 の部分 100 と同じ構成を有し、同じ工程で製造されている。

したがって、第 1 の部分 100 については、第 1 の実施の形態に用いた参照番号と同じ参照番号を用いて説明を省略する。

【0032】

上記第 2 の部分 300 は、図 5 および 6 に示す工程によって製造される。

まず、図 5(A) に示すように、第 2 基板の一例としての半導体基板 31 上に、導電層の一例としての配線層 33 を設け、さらに、図 5(B) に示すように、この半導体基板 31 と配線層 33 の上に、絶縁層 37 を積層している。

上記配線層 33 は、例えば、不純物をドーピングしたポリシリコン、銅、アルミニウム合金等からなり、上記絶縁層 37 は、例えば、窒化シリコン、酸化シリコン等からなる。

【0033】

次に、上記絶縁層 37 に、フォトリソグラフィとドライエッチングの技術を用いて、図 5(C) に示すように、配線層 33 に到達するスルーホール 43 を形成する。

100 and second portion 200 becomes firmer.

【0030】

surface of through hole insulator 11,21 it has tried to become low via conductor electric body in comparison with surface of 5 and 25 with above-mentioned embodiment, in both of joint surface 12 of first portion 100 and joint surface 22 of the second portion 200, but in order to become suitably low in only on one hand joint surface, through hole insulator in comparison with surface of via conductor electric body, to do etching, regarding joint surface of other, Without doing etching for height adjustment of through hole insulator, entire surface of the dishing section of via conductor electric body may be low in comparison with through hole insulator surface.

In this way and by fact that amount of etching of on one hand through hole insulator is enlarged, there being a dishing section, electrical connection is produced via conductor electric body securely.

【0031】

Figure 5,6, 7 and 8 is figure which explains manufacturing method of semiconductor device of the second embodiment.

As understood from Figure 7, 8, first portion 100 has same constitution, as first portion 100 of first embodiment is produced with same step.

Therefore, concerning first portion 100, it abbreviates explanation making use of same reference number as reference number which it uses for first embodiment.

【0032】

Above-mentioned second portion 300 is produced with step which is shown in Figure 5 and 6.

First, as shown in Figure 5 (A), on semiconductor substrate 31 as one example of the second substrate, metallization layer 33 as one example of conducting layer is provided, as furthermore, shown in Figure 5 (B), in this semiconductor substrate 31 and on metallization layer 33, insulating layer 37 is laminated.

Above-mentioned metallization layer 33 consists of polysilicon, copper, aluminum alloy etc which for example impurity doping is done, above-mentioned insulating layer 37 consists of for example silicon nitride, silicon oxide etc.

【0033】

As next, in above-mentioned insulating layer 37, shown in Figure 5 (C) making use of technology of photolithography and dry etching, through hole 43 which arrives in metallization layer 33 is formed.

【0034】

次に、図 5(D)に示すように、上記スルーホール 43 の中を埋め尽くすように、上記絶縁層 37 とスルーホール 43 の底の配線層 33 の上とに、例えば、ポリシリコンからなる導電層 39 を形成する。

【0035】

次に、上記導電層 39 および絶縁層 37 を、図 5(E)に示すように、CMP 法によって研磨して平坦化する。

この CMP 法による研磨によって、上記スルーホール 43 の中に位置するスルーホール導電体 35 と絶縁層 37 との表面は、大略同一高さを有する接合面 42 を形成する。

但し、ポリシリコンからなるスルーホール導電体 35 は、窒化シリコンからなる絶縁層 37 よりも硬度が低いため、CMP によって、図 5(E)および図 6(A)に示すように、スルーホール導電体 35 の表面が絶縁層 37 の表面よりも皿状に窪んで低くなる。

すなわち、上記スルーホール導電体 35 の表面に皿状に窪んだディッシング部 47 が生じる。

【0036】

次に、図 6(B), (C)に示すように、反応性イオンエッチング法によって、絶縁層 37 の高さが、スルーホール導電体 35 のディッシング部 47 の底部 49 の高さになるまで、絶縁層 37 を選択的にエッチングする。

なお、全体的にみると、上記スルーホール導電体 35 の表面の高さよりも絶縁層 37 の表面の高さが低くなっている。

すなわち、上記スルーホール導電体 35 が絶縁層 37 の表面から突出している。

【0037】

こうして、図 7 に示すように、上記半導体基板 31 と配線層 33 と絶縁層 37 とスルーホール導電体 35 からなる第 2 の部分 300 を形成する。

【0038】

次に、上記第 1 の部分 100 と第 2 の部分 300 の接合面 12,42 を真空中で清浄化処理して清浄表面にする。

すなわち、上記接合面 12,42 を活性化する。

【0034】

As next, shown in Figure 5 (D), it buries in above-mentioned through hole 43 and in order to exhaust, in above-mentioned insulator 37 and on metallization layer 33 of bottom of through hole 43, it forms conducting layer 39 which consists of the for example polysilicon.

【0035】

As next, shown above-mentioned conducting layer 39 and insulating layer 37, in Figure 5 (E), grinding with CMP method , planarization it does.

In grinding, via conductor electric body surface of 35 which is position in above-mentioned through hole 43 and insulating layer 37 forms joint surface 42 which possesses large almost same height with this CMP method .

However, as for via conductor electric body 35 which consists of the polysilicon, because hardness is low in comparison with insulating layer 37 which consists of silicon nitride, as with CMP , Figure 5 (E) and shown in Figure 6 (A), surface of via conductor electric body 35 becoming depressed in dish in comparison with surface of insulating layer 37, it becomes low.

dishing section 47 which in surface of namely, above-mentioned via conductor electric body 35 becomes depressed in dish occurs.

【0036】

As next, Figure 6 (B), shown in (C), until with reactive ion etching method , the height of insulating layer 37, becomes height of bottom 49 of dishing section 47 of via conductor electric body 35, insulating layer 37 selectively etching is done.

Furthermore, when you see in entire, height of surface of the insulating layer 37 has become low in comparison with height of surface of above-mentioned via conductor electric body 35.

namely, above-mentioned via conductor electric body 35 overhang has done from surface of insulating layer 37.

【0037】

In this way, as shown in Figure 7, above-mentioned semiconductor substrate 31 and the second portion 300 which consists of metallization layer 33 and insulating layer 37 and via conductor electric body 35 are formed.

【0038】

Next, cleaning doing above-mentioned first portion 100 and joint surface 12,42 of the second portion 300 in vacuum, it makes cleaning surface.

namely, above-mentioned joint surface 12,42 is activated.

その後、真空または不活性ガスの雰囲気において、上記第 1 の部分 100 の接合面 12 と第 2 の部分 300 の接合面 42 とを、スルーホール導電体 5,35 同士が整合するように、対向させる。

そして、図 8 に示すように、上記第 1 の部分 100 の半導体基板 1 と第 2 の部分 300 の半導体基板 31 に押圧力つまり圧接荷重 F,F を印加して、スルーホール導電体 5,35 同士を固相接合すると共に、接地配線層 6 と絶縁層 37 とを固相接合する。

そうすると、上記スルーホール導電体 5 のディッシング部 17 の底部の高さと、スルーホール絶縁体 11 の高さが略同じになっていて、スルーホール導電体 5 および接地配線層 6 がスルーホール絶縁体 11 に対して凸になっており、かつ、スルーホール導電体 35 のディッシング部 47 の底部の高さと、絶縁層 37 の高さが略同じになっていて、スルーホール導電体 35 が絶縁層 37 に対して凸になっているので、スルーホール導電体 5 とスルーホール導電体 35 とが確実に固相接合されると共に、接地配線層 6 と絶縁層 37 とが確実に固相接合される。

したがって、スルーホール導電体 5,35 同士の機械的接続、電気的接続および接地配線層 6 と絶縁層 37 との機械的接続の信頼性を高くすることができる。

【0039】

上記固相接合されたスルーホール導電体 5,35 の周りに、かつ、スルーホール絶縁体 11 と絶縁層 37 との間に隙間 40 が生じている。

このように、上記スルーホール絶縁体 11 と絶縁層 37 との間に隙間 40 をあけることによって、スルーホール導電体 5 とスルーホール導電体 35 との間の固相接合および接地配線層 6 と絶縁層 37 との間の固相接合をより確実にして、より確実に機械的、電気的に接合できる。

もっとも、この隙間 40 が生じないで、スルーホール絶縁体 11 と絶縁層 37 とが軽く接触あるいは固相接合するようにしてもよい。

このように、上記スルーホール絶縁体 11 と絶縁層 37 とを固相接合すると、第 1 の部分 100 と第 2 の部分 300 との接合がより強固になる。

【0040】

上記第 1 または第 2 実施の形態では、接合面 12,22,42 において導電領域(スルーホール導電

After that, in order joint surface 12 of above-mentioned first portion 100 and the joint surface 42 of second portion 300, for via conductor electric body 5 and 35 to adjust in the atmosphere of vacuum or inert gas, it opposes.

As and, shown in Figure 8, imparting doing pushing pressure being plugged pressure load F,F in semiconductor substrate 1 of above-mentioned first portion 100 and semiconductor substrate 31 of second portion 300, as solid phase it connects via conductor electric body 5 and 35, solid phase it connects ground metallization layer 6 and insulating layer 37 .

So, when it does, height of bottom of dishing section 17 of above-mentioned via conductor electric body 5 and height of through hole insulator 11 having become almost same, via conductor electric body 5 and ground metallization layer 6 we to have become convex vis-a-vis through hole insulator 11, at same time, height of bottom of dishing section 47 of via conductor electric body 35 and height of insulating layer 37 having become almost same, Because via conductor electric body 35 it has become convex vis-a-vis the insulating layer 37, as via conductor electric body 5 and via conductor electric body 35 is connected solid phase securely, ground metallization layer 6 and insulating layer 37 are connected solid phase securely.

Therefore, via conductor electric body can make reliability of mechanical connection with mechanical connection, electrical connection and ground metallization layer 6 and insulating layer 37 of 5 and 35 high.

【0039】

Above-mentioned solid phase via conductor electric body in surroundings of 5 which is connected and 35, at same time, interstice 40 occurs between through hole insulator 11 and insulating layer 37 .

This way, by fact that interstice 40 is opened to above-mentioned through hole insulator 11 and between insulating layer 37 , compared to it can connect to mechanical, electrical securely via conductor electric body with solid phase connecting during solid phase connecting and ground metallization layer 6 and insulating layer 37 between 5 and via conductor electric body 35 as more secure.

Though, this interstice 40 without occurring, it is possible through hole insulator 11 and the insulating layer 37 to be light contact or solid phase to connect.

This way, when above-mentioned through hole insulator 11 and insulating layer 37 solid phase are connected, connecting with first portion 100 and second portion 300 becomes firmer.

【0040】

With above-mentioned 1 st or 2nd embodiment, conduction domain (via conductor electric body) insulating domain

体)5,25,35 を絶縁領域(スルーホール絶縁体、絶縁層)11,21,37 が取り囲んでいるが、絶縁領域が導電領域を取り囲んでいなくてもよく、単に、導電領域と絶縁領域が有ればよい。

また、一方の接合面に導電領域と絶縁領域とが有り、他方の接合面に導電領域のみが有ってもよい。

この発明は、CMP 法で研磨された接合面において、導電領域のディッシング部が絶縁領域よりも突出するように、絶縁領域をエッチングするものであるから、少なくとも一方の接合面に導電領域と絶縁領域が有れば適用できるのである。

【0041】

また、上記第 1 または第 2 実施の形態では、スルーホール導電体 5 をスルーホール導電体 25 または 35 に固相接合し、接地配線層 6 を接地配線層 26 または絶縁層 37 に固相接合しているが、この発明はこれに限らないことは勿論である。

例えば、絶縁層と絶縁層とを固相接合してもよく、また、導電層としての例えば電源層に複数の配線層やスルーホール導電体を固相接合してもよい。

また、複数の配線層同士を固相接合してもよい。

【0042】

また、上記実施の形態では、導電層は銅またはポリシリコンから形成したが、例えば、シリサイド、アルミニウム合金等から形成してもよく、また、絶縁層は、窒化シリコンの他に、酸化シリコン等から形成してもよい。

【0043】

また、上記実施の形態では、基板として半導体基板を用いたが、ガラス基板やセラミックス基板等の無機基板や有機化合物からなる有機基板を用いてもよい。

【0044】

また、上記実施の形態では、エッチングとして反応性イオンエッチングを用いたが、反応性スパッタエッチング、プラズマエッチング、イオンビームエッチング、光エッチング等の他のドライエッチングあるいはウェットエッチングを用いてもよい。

(through hole insulator、insulating layer) 11, 21 and 37 has surrounded 5, 25 and 35 in joint surface 12, 22, 42, but it is not necessary and a conduction domain and an insulating domain simply, there should have been for the insulating domain conduction domain to have surrounded.

In addition, there is a conduction domain and an insulating domain in on one hand joint surface, only conduction domain to joint surface of other may be.

Because this invention in joint surface which is ground with CMP method, in order dishing section of conduction domain in comparison with insulating domain the overhang to do, is something which insulating domain etching is done, if there is a conduction domain and an insulating domain in joint surface of at least one, it can apply.

【0041】

In addition, with above-mentioned 1st or 2nd embodiment, via conductor electric body 5 solid phase is connected in via conductor electric body 25 or 35, ground metallization layer 6 the solid phase is connected to ground metallization layer 26 or insulating layer 37, but as for this invention as for not limiting to this is of course.

solid phase it is possible to connect for example insulating layer and insulating layer, in addition, solid phase to connect metallization layer and via conductor electric body of plural to for example power supply layer as conducting layer it is possible.

In addition, solid phase it is possible to connect metallization layer of the plural.

【0042】

In addition, with above-mentioned embodiment, it formed conducting layer from copper or polysilicon, but it is possible to form from for example polycide, aluminum alloy etc, in addition, to other than silicon nitride, from silicon oxide etc to form the insulating layer, it is possible.

【0043】

In addition, with above-mentioned embodiment, semiconductor substrate was used as the substrate, but making use of glass substrate and ceramic substrate or other inorganic group board and organic group board which consists of organic compound it is good.

【0044】

In addition, with above-mentioned embodiment, reactive ion etching was used as the etching, but making use of reactive sputtering etching, plasma etching, ion beam etching, optical etching or other other dry etching or the wet etching it is good.

い。

【0045】

【発明の効果】

以上より明らかなように、この発明の半導体装置は、CMP法で研磨され、固相接合される2つの接合面のうちの少なくとも一方において、絶縁領域が導電領域よりも低くなっているため、導電領域同士を確実に固相接合でき、確実に電氣的に接続できる。

【0046】

また、この発明の半導体装置の製造方法は、CMP法で研磨された2つの接合面のうちの少なくとも一方において、絶縁領域の表面が導電領域の表面よりも下降するように、絶縁領域を選択的にエッチングするので、導電領域にディッシング部があっても、導電領域同士を確実に固相接合でき、確実に電氣的に接続できる。

【図面の簡単な説明】

【図1】

この発明の第1実施の形態の半導体装置の製造方法を説明する図である。

【図2】

上記第1実施の形態のエッチング工程を説明する図である。

【図3】

上記第1実施の形態の固相接合する直前の状態を説明する図である。

【図4】

上記第1実施の形態の半導体装置の断面図である。

【図5】

この発明の第2実施の形態の半導体装置の製造方法を説明する図である。

【図6】

上記第2実施の形態のエッチング工程を説明する図である。

【図7】

上記第2実施の形態の固相接合する直前の状態を説明する図である。

[0045]

[Effects of the Invention]

In order to be clearer than above, semiconductor device of this invention to be ground with CMP method, solid phase among 2 joint surface which are connected putting at least on one hand, because insulating domain it has become low in comparison with conduction domain, solid phase being able to connect conduction domain securely, you can connect to electrical securely.

[0046]

In addition, because among 2 joint surface which are ground with CMP method putting at least on one hand, in order surface of insulating domain to fall in comparison with surface of conduction domain, insulating domain selectively etching it does manufacturing method of semiconductor device of this invention, there being a dishing section in conduction domain, solid phase being able to connect conduction domain securely, You can connect to electrical securely.

[Brief Explanation of the Drawing(s)]

[Figure 1]

It is a figure which explains manufacturing method of semiconductor device of first embodiment of this invention.

[Figure 2]

It is a figure which explains etching step of above-mentioned first embodiment.

[Figure 3]

solid phase of above-mentioned first embodiment immediately before connecting, it is a figure which explains state.

[Figure 4]

It is a sectional view of semiconductor device of above-mentioned first embodiment.

[Figure 5]

It is a figure which explains manufacturing method of semiconductor device of second embodiment of this invention.

[Figure 6]

It is a figure which explains etching step of above-mentioned second embodiment.

[Figure 7]

solid phase of above-mentioned second embodiment immediately before connecting, it is a figure which explains state.

【図8】

上記第2実施の形態の半導体装置の断面図である。

【符号の説明】

1
半導体基板
11
スルーホール絶縁体
13
スルーホール
17
ディッシング部
19
底部
20
半導体基板
21
スルーホール絶縁体
23
配線層
23
スルーホール
25
スルーホール導電体
26
接地配線層
27
絶縁層
27
ディッシング部
3
配線層
31
半導体基板

state.

[Figure 8]

It is a sectional view of semiconductor device of above-mentioned second embodiment.

[Explanation of Symbols in Drawings]

1
semiconductor substrate
11
through hole insulator
13
through hole
17
dishing section
19
bottom
20
semiconductor substrate
21
through hole insulator
23
metallization layer
23
through hole
25
via conductor electric body
26
ground metallization layer
27
insulating layer
27
dishing section
3
metallization layer
31
semiconductor substrate

33

配線層

35

スルーホール導電体

37

絶縁層

43

スルーホール

47

ディッシング部

49

底部

5

スルーホール導電体

6

接地配線層

7

絶縁層

Drawings

【図1】

33

metallization layer

35

via conductor electric body

37

insulating layer

43

through hole

47

dishing section

49

bottom

5

via conductor electric body

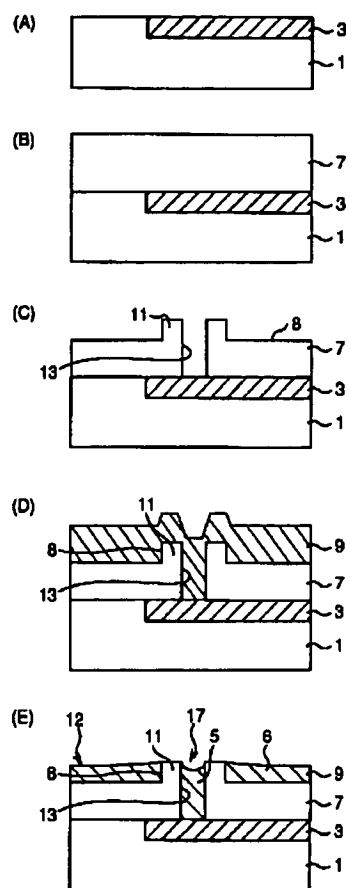
6

ground metallization layer

7

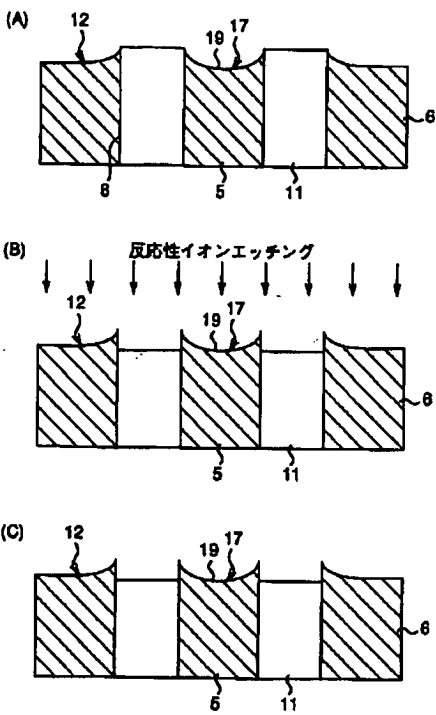
insulating layer

[Figure 1]



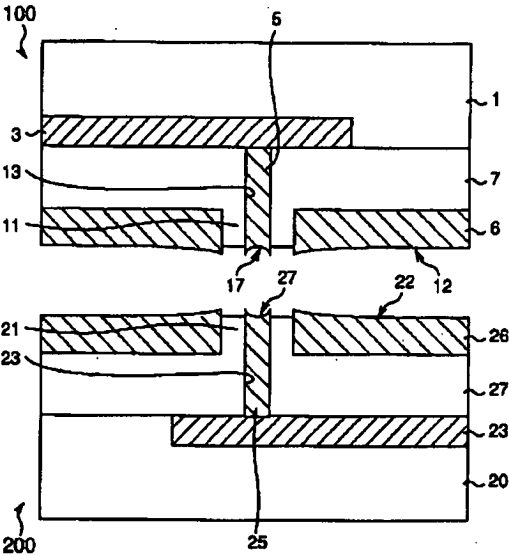
【図2】

[Figure 2]



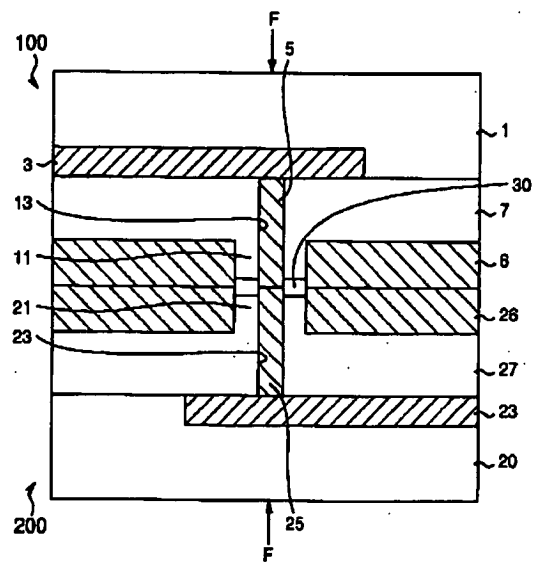
【図3】

[Figure 3]



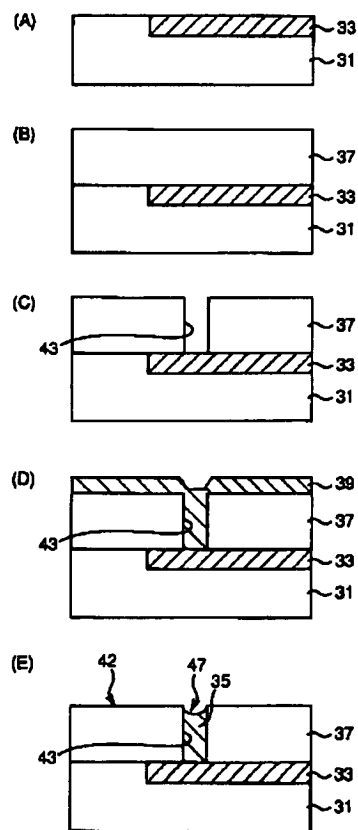
【図4】

[Figure 4]



【図5】

[Figure 5]



【図6】

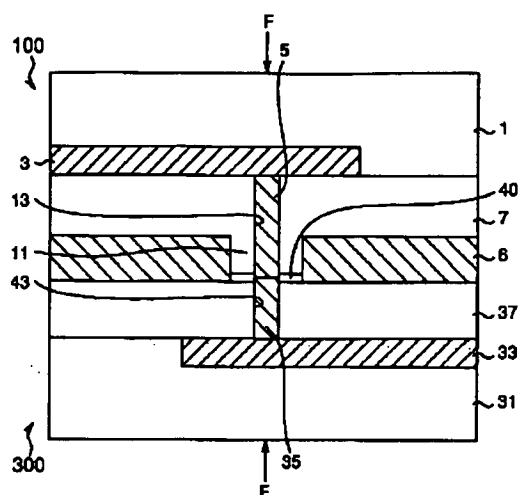
[Figure 6]



[Figure 7]



[Figure 8]



【手続補正書】【提出日】

平成 12 年 10 月 27 日(2000.10.27)

2000 October 27 days (2000.10 . 27)

【手続補正 1】【補正対象書類名】

明細書

specification

【補正対象項目名】

0026

0026

【補正方法】

変更

Modification

【補正内容】

【0026】上記第 1 の部分 100 の製造工程と全く同様の工程をおこなって、図 3 に示す第 2 の部分 200 を形成する。

Doing step which is completely similar to production step of {0026} above-mentioned first portion 100, it forms second portion 200 which it shows in Figure 3.

この第 2 の部分 200 は、第 2 基板としての半導体基板 20 と、導電層としての配線層 23 と、絶縁層 27 と、導電層としての接地配線層 26 と、スルーホール絶縁体 21 と、スルーホール導電体 25 とからなる。

This second portion 200, consists of ground metallization layer 26 and through hole insulator 21 and via conductor electric body as metallization layer 23 and insulating layer 27 and conducting layer as semiconductor substrate 20 and the conducting layer as second substrate 25.

この第 2 の部分 200 の接合面 22 は CMP 法によって研磨して平坦化しているため、導電領域であるスルーホール導電体 25 および接地配線層 26 にはディッシング部が形成されている。

As for joint surface 22 of this second portion 200 grinding with CMP method, because the planarization it has done, via conductor electric body dishing section is formed to 25 which is a conduction domain and ground metallization layer 26.

しかし、上記スルーホール導電体 25 のディッシング部 29 の底部とスルーホール絶縁体 21 の高さが略同じになるように、スルーホール絶縁体 21 を、反応性イオンエッチングによって、選択的にエッチングしている。

But, in order for bottom of dishing section 29 of above-mentioned via conductor electric body 25 and height of through hole insulator 21 almost to become same, through hole insulator 21 is done, with reactive ion etching, selectively etching.

なお、28 はスルーホールである。

Furthermore, 28 is through hole.

【手続補正2】【補正対象書類名】

明細書

specification

【補正対象項目名】

0028

0028

【補正方法】

変更

Modification

【補正内容】

【0028】次に、上記第1の部分100と第2の部分200の接合面12,22を真空中で清浄化処理して清浄表面にする。

{0028} Next, cleaning doing above-mentioned first portion 100 and joint surface 12,22 of second portion 200 in vacuum, it makes cleaning surface.

すなわち、上記接合面12,22を活性化する。

namely, above-mentioned joint surface 12,22 is activated.

その後、真空または不活性ガスの雰囲気において、上記第1の部分100の接合面12と第2の部分200の接合面22とを、スルーホール導電体5,25同士が整合し、かつ、接地配線層6,26同士が整合するように、対向させる。

After that, via conductor electric body 5 and 25 adjusts joint surface 12 of the above-mentioned first portion 100 and joint surface 22 of second portion 200, in atmosphere of the vacuum or inert gas, at same time, in order for ground metallization layer 6,26 to adjust, opposes.

そして、図4に示すように、上記第1の部分100の半導体基板1と第2の部分200の半導体基板20に圧接荷重F,Fを印加して、スルーホール導電体5,25同士を固相接合すなわち常温接合(Room Temperature Bonding)すると共に、接地配線層6,26同士を固相接合する。

As and, shown in Figure 4, imparting doing pressure load F,F in the semiconductor substrate 1 of above-mentioned first portion 100 and semiconductor substrate 20 of second portion 200, via conductor electric body 5 and 25 solid phase connecting namely ambient temperature with (Room temperature bonding) which is connected, solid phase it connects ground metallization layer 6,26.

そうすると、上記スルーホール導電体5,25のディッシング部17,29の底部の高さと、スルーホール絶縁体11,21の高さが略同じになっていて、全体的には、スルーホール導電体5,25および接地配線層6,26がスルーホール絶縁体11,21の表面に対して凸になっているから、スルーホール導電体5と接地配線層6とが夫々スルーホール導電体25と接地配線層26とに確実に固相接合される。

So when it does, above-mentioned via conductor electric body dishing section the height of bottom of 17 of 5 and 25 and 29 and height of through hole insulator 11,21 having become almost same, because in entire, via conductor electric body 5, 25 and ground metallization layer 6,26 it has become convex vis-a-vis surface of the through hole insulator 11,21, via conductor electric body 5 and ground metallization layer 6 is connected in respectively via conductor electric body 25 and ground metallization layer 26 solid phase securely.

したがって、スルーホール導電体5,25同士の電気接続および接地配線層6,26同士の電気接続の信頼性を高くすることができる。

Therefore, via conductor electric body can make electrical connection of 5 and 25 and the reliability of electrical connection of ground metallization layer 6,26 high.

【手続補正3】【補正対象書類名】

明細書

specification

【補正対象項目名】

符号の説明

Explanation of symbol

【補正方法】

変更

Modification

【補正内容】

符号の説明	
Explanation of symbol >	
1, 20, 31 半導体基板	
1, 20 and 31 semiconductor substrate	
3, 23, 33 配線層	
3, 23 and 33 metallization layer	
5, 25, 35 スルーホール導電体6, 26 接地配線層7, 27, 37 絶縁層	
5, 25 and 35 via conductor electric bodies 6 and 26 ground metallization layer 7,27,37 insulating layer	
11, 21 スルーホール絶縁体	
11, 21 through hole insulator	
13, 28, 43 スルーホール	
13, 28 and 43 through hole	
17, 29, 47 ディッシング部	
17, 29 and 47 dishing sections	
19, 49 底部	
19 and 49 bottom	

【手続補正4】【補正対象書類名】

図面

drawing

【補正対象項目名】

図 3

Figure 3

【補正方法】

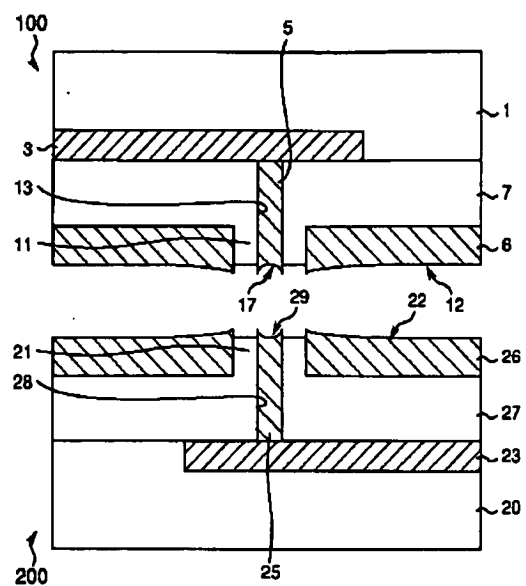
変更

Modification

【補正内容】

【図 3】

[Figure 3]



【手続補正5】【補正対象書類名】

図面

drawing

【補正対象項目名】

図 4

Figure 4

【補正方法】

変更

Modification

【補正内容】

【図 4】

[Figure 4]

